

PCT

世界知的財産権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 H01L 25/04	A1	(11) 国際公開番号 WO99/09595
		(43) 国際公開日 1999年2月25日(25.02.99)
(21) 国際出願番号 PCT/JP98/03668		(74) 代理人 弁理士 浅村 哲, 外(ASAMURA, Kiyoshi et al.) 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)
(22) 国際出願日 1998年8月19日(19.08.98)		
(30) 優先権データ 特願平9/222229 特願平9/259589 特願平10/69727	JP JP JP	(81) 指定国 CN, KR, US, 欧州特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(71) 出願人(米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		
(72) 発明者; および (75) 発明者/出願人(米国についてのみ) 関根健治(SEKINE, Kenji)(JP/JP) 山田宏治(YAMADA, Hiroji)(JP/JP) 山崎松夫(YAMASAKI, Matsuo)(JP/JP) 加賀谷修(KAGAYA, Osamu)(JP/JP) 山下亮市(YAMASHITA, Kiichi)(JP/JP) 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP)		
(54) Title: MULTICHIP MODULE STRUCTURE AND METHOD FOR MANUFACTURING THE SAME		
(54) 発明の名称 マルチチップモジュール構造体およびその作製方法		
<p>(57) Abstract</p> <p>A base metal substrate where a plurality of semiconductor bare chip devices are mounted has first and second major surfaces and at least one protrusion and at least two recesses for determining the position of mounting the semiconductor bare chip devices are formed on and in the first major surface. The depth of the recesses is greater than the length of the protrusion and has a better smoothness than that of the major surfaces of the metal substrate. The metal substrate is partially subjected to chemical etching for forming the protrusion and machining for forming the first major surface. The conductive protrusion is separated from the part of the board where the bare chip device is mounted and serves as an external terminal for electric connection on the first and second major surface sides of the base substrate.</p>		

(57)要約

複数個の半導体ペアチップデバイスを搭載するためのベース金属基板は、第1および第2の主面を備え、第1の主面には少なくとも1つの凸部と、それぞれ半導体ペアチップデバイスを搭載すべき位置を定めるための少なくとも2つの凹部とが形成され、それら凹部の深さは前記凸部の長さより小さく、かつ金属基板の主面より高い平滑度をもっている。ベース金属基板は、前記凸部を形成するよう、金属基板を部分的に化学エッティングし、前記凹部が少なくとも形成されるよう、基板の第1の主面を機械加工することにより作製される。導電性凸部は、半導体ペアチップデバイスが搭載される基板の部分と分離され、ベース基板の第1の主面の側および第2の主面の側において外部と電気的接続が可能な端子として作用する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)									
AL	アルバニア	F	フィンランド	LK	スリランカ	SJ	スロヴェニア		
AM	アルミニア	FR	フランス	LR	リベリア	SL	スロヴァキア		
AT	オーストリア	GAB	ガボン	LS	レソト	SN	シエラレオネ		
AU	オーストラリア	GAT	ガテマラ	LT	リトアニア	SN	セネガル		
BG	ブルガリア	GEA	エジプト	LU	ルーマニア	SO	ソーシャン		
BA	ボスニア・ヘルツegovina	GEI	エルサルバドル	LV	リトアニア	ST	ストラム		
BA	バルバドス	GH	グルジア	MC	モナコ	TG	トガ		
BB	ベルギー	GM	ガンビア	MD	モルドバ	TJ	タジキスタン		
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	タジキスタン		
BI	ブリタニア	GP	ギニアビサオ	MK	ミケドニア旧ユーゴスラヴィア	TT	トルコニダード・トバゴ		
BJ	ブリクナ	GR	ギリシャ	ML	マルタ	TT	トリニティ・トバゴ		
BR	ブルジル	HCR	クロアチア	MN	モンゴル	UA	ウクライナ		
BY	ベラルーシ	HU	ハンガリー	MN	モルドバ	UG	ウガンダ		
CA	カナダ	ID	イエメン	MR	モーリタニア	UM	ウメーン		
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ベトナム		
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ヨーロッパ		
CH	スイス	IN	イング	NL	オランダ	ZW	シンパフエ		
CI	コートジボアール	IS	アイスランド	NO	ノルウェー				
CM	コモドール	I	イタリア	NP	ヌエバエス				
CO	コロラド	JP	日本	NR	ヌエバ・エニ				
CU	キューバ	KE	ケニア	PL	ポーランド				
CY	キプロス	KG	キルギスタン	PT	ポルトガル				
CZ	チェコ	KP	北朝鮮	RO	ルーマニア				
DE	ドイツ	KR	韓国	RS	セルビア				
DK	ダーマーク	KZ	カザフスタン	SE	スーダン				
EE	エストニア	LC	セントルシア	SG	スウェーデン				
ES	スペイン	L	リヒテンシュタイン	SG	シンガポール				

明細書

マルチチップモジュール構造体およびその作製方法

5 技術分野

本発明は、ベース基板上に複数個のベアー半導体チップデバイスおよび少なくとも1つの導電性ポストを実装して成るマルチチップモジュール構造体およびその作製方法に関する。

電子装置の小型化と高性能化の一手段として、ベアー半導体チップと受動素子を複数個相互に接続して一つのモジュールにする、いわゆるマルチチップモジュールがある。

従来のベアー半導体チップの実装方法の一例は、特開平3-155144(1991年7月3日公開)に示すように、ベアー半導体ICチップの厚さより所定分厚い絶縁フィルムに予め半導体ベーーICチップの外形寸法より所定分大きい穴を形成し、支持板に絶縁フィルムを接着剤を介して貼り合わせ、前記ベーー半導体ICチップを接着剤を介して前記貼り合わせ絶縁フィルムの穴部に接着し、ベーー半導体チップと絶縁フィルムの空隙およびベーー半導体ICチップの表面を絶縁フィルムと同種の液状樹脂で絶縁フィルム層と高さが均一になるように塗布した後、熱硬化し、ベーー半導体ICチップパッド上の樹脂をフォトリソグラフィ法で除去した後、全面に導体膜を形成し、フォトリソグラフィ法で所定の導体配線形成を行っている。

また、従来の半導体装置(特にマルチチップモジュール)とその製造方法の一例は、特開平5-47856(1993年2月26日公開)に示すように、パッケージに配設された少なくとも1個のステージにチップをマウントし、前記パッケージとチップに絶縁膜を塗着し、前記パッケージ上の接続パッドと前記チップ上のパッドに導通するバイアホールを前記絶縁膜に設け、前記バイアホール間を配線パターンによって接続するように構成している。

特開平3-155144および特開平5-47856の実施例では、支持板あるいはパッケージが絶縁基板で成っており、一般に絶縁基板の材料は導電材料およ

び半導体材料に比べ熱伝導率が1桁以上低いため、消費電力の大きい電力増幅器等の実装には不適である。

さらに、特開平5-47856の実施例では、チップ裏面のマウント用導体層（例えばAu-Si共晶または導電性接着剤）と絶縁フィルム上の導体配線との間に電気的接合がない。

さらに、特開平3-155144に示す従来のベア-半導体チップの実装方法の一例では、ベア-半導体ICチップと絶縁フィルム間の空隙およびベア-半導体ICチップの表面を絶縁フィルムと同種の液状樹脂で絶縁フィルム層と高さが均一になるように塗布した後、熱硬化する工程において、熱硬化時の液状樹脂の収縮によりベア-半導体ICチップと絶縁フィルム間の空隙部に窪みが生じることがある。前記空隙部に窪みが生じると、前記空隙部の導体配線にショートまたは断線等を生じることがある。

さらに、特開平5-47856に示す半導体装置とその製造方法の一例においても、液状樹脂の熱硬化工程において、熱硬化時の液状樹脂の収縮によりパッケージとチップ間の空隙部の絶縁膜に窪みが生じることがある。この窪みも、前記空隙部の配線パターンにショートまたは断線等の不良が生じることがある。

これを解決する手段としては、チップ埋め込み型マルチチップモジュールがある。この方法は、予め金属ベース基板に複数の凹凸を設け、次いで、前記ベア-半導体チップを埋め込むように樹脂状の絶縁膜で覆い、前記絶縁膜と前記ベア-半導体チップ上のバンプ電極とが所定の同じ高さになるように研削等で平坦化加工し、その上に薄膜受動部品と共に金属層と絶縁膜とによって多層配線を設けるものである。しかし、この方法の課題は、ベース基板に所望の凹凸が容易に作製できない点である。

さらに、従来例では、マルチチップモジュール構造体単位でキャップを装着することが可能な構造となっていない。このため外部からのダメージに対して機械的な保護がなされておらず破損し易い。さらに、高周波領域で動作させる様な場合、電磁シールドが弱くなり他からの妨害を受け易い。

発明の開示

本発明の一側面によれば、複数個の半導体ベアチップデバイスを搭載するため

のベース基板は、第1および第2の主面を備え、第1の主面には少なくとも1つの凸部と、それぞれ半導体ペアチップデバイスを搭載すべき位置を定めるための少なくとも2つの凹部とが形成される。凹部の深さは凸部の長さより小さく、凹部はまた金属基板の第1の主面より高い平滑度をもっている。

- 5 本発明の他の側面によれば、金属や半導体から成るベース基板の一主面に予めペアチップデバイスを搭載するための複数個の凹部及びベース基板の一部がボスト状に飛び出た凸部を複数個設け、その幾つかのポストの根本を取り囲む溝を設け、前記凹部の上に電極上に導電性のバンプを持つ半導体素子またはICチップを含むペアーチップデバイスを取り付け、前記ペアーチップデバイスを埋め込む
- 10 ように絶縁膜で覆い、前記絶縁膜と前記ペアーチップデバイスのバンプとが所定の同じ高さに平坦化加工し、その上に金属層と絶縁膜とによって配線パターンを形成し、前記ベース基板を裏面よりエッティング又は研削により薄層化することにより前記絶縁膜により分離された島状の導体部分を形成し、もってベース基板の裏面に基準電位導体と電気的に分離された電極を形成出来る。
- 15 また、前記ベース基板の、ペアチップデバイスを搭載した主面と反対側の主面における単位モジュールサイズに切り出した時に単位モジュールの側面となる箇所に、予め深さが前記エッティング又は研磨により薄層化するときの削りしろより深くした凹み部を設けておき、前記エッティング又は研削した後、単位モジュールサイズに切り出し、モジュールの側面に出来た凹みの部分にはめ込むように逆の
- 20 凹みを持った金属製のキャップを設ける。

本発明の他の側面によれば、複数個の半導体ペアチップデバイスを搭載するための構造体は、少なくとも1つの凹部を金属基板の第1の主面上に形成するよう、第1および第2の主面を持つ金属基板を部分的に化学エッティングし、そのエッティングされた金属基板の第1の主面の、凸部が形成されていない所定の部分に、それぞれ半導体ペアチップデバイスを搭載すべき位置を定めるための少なくとも2つの凹部が少なくとも形成されるよう、金属基板の第1の主面を機械加工することにより得られる。機械加工ステップにより形成される前記凹部の深さは、化学エッティングステップにより形成される前記凸部の長さより小さく、前記凹部はエッティングされた金属基板の主面より高い平滑度を持っている。

本発明の他の側面によれば、エッチングとプレスを併用した2段階加工法によりベース基板の作製を行なう。まず、第1段階のエッチング加工によって、ベース基板の一部から成る凸状の導電ポストとモジュール相互間を隔てるための囲い壁が作製される。

- 5 次いで、予めベース基板に設けられた貫通孔マーカと金型マーカ間で位置合わせを行った後、第2段階の凸型金型によるプレス加工によって、ベアーハ半導体チップデバイス搭載のための位置合わせ用マーカが作製される。この際、位置合わせマーカ部は四状となり、その側面には実質的に15～60度のテーパが設けられる。特に、テーパがあるとチップデバイス搭載時にデバイスがマーカ内へ滑り10 落ち、自己整合による位置合わせが容易になる。

すなわち、上記2段階加工法は、第1段階目のエッチング加工で金属ベース基板面を大きく掘り下げて複数のベアーハ半導体チップデバイスを埋設する凹部と接続ポストの凸部を同時に作製する。さらに、第2段階目のプレス加工ではエッチングで粗れた金属表面を平坦化し凸部金型によりテーパを持つ多段の凹部を容易15 に作製する。

- ベース基板作成後、前記チップデバイス搭載用のマーカ上に、金属性のバンプを備える半導体ベアーチップデバイスを接着する。次いで、前記ベアーチップデバイスを埋め込むように樹脂状の絶縁膜で覆い、前記絶縁膜と前記ベアーチップデバイスのバンプとが所定の同じ高さになるように研削あるいは研磨等で平坦化20 加工し、その上に配線パターンを形成し、薄型で小型のマルチチップモジュール構造体が完成する。

図面の簡単な説明

図1a～図1eは、本発明の一実施例によるベース基板の作製工程を説明する断面図である。

- 25 図2a～図2dは、本発明の他の実施例によるベース基板の作製工程を説明する断面図である。

図3aおよび図3bは、本発明の一実施例による基板におけるパイロットマークおよび囲い壁のレイアウトを示す平面図および断面図である。

図4a～図4dは、本発明の一実施例によるマルチチップモジュール構造体の

作製工程を示す断面図である。

図 5 a および図 5 b は、本発明の一実施例によるベース基板の作製工程を示す断面図である。

図 6 は本発明の一実施例によるマルチチップモジュール構造体の断面図である。

5 図 7 は図 6 に示された構造体の裏面を示す平面図である。

図 8 a ~ 図 8 g は本発明の一実施例によるマルチチップモジュール構造体の製造工程を示す図である。

図 9 は本発明の他の実施例によるマルチチップモジュール構造体の作製工程を示す断面図である。

10 図 1 0 は図 9 に示された構造体の裏面を示す平面図である。

図 1 1 は本発明の一実施例によるマルチチップモジュール構造体の断面図である。

図 1 2 は図 1 1 に示された構造体の裏面を示す平面図である。

図 1 3 はマルチチップモジュール構造体に含まれる回路の一例を示す図である。

15 図 1 4 は本発明の一実施例によるマルチチップモジュール構造体の上面に描かれるパターンの一例を示す図である。

発明を実施するための最良の形態

図 1 a ~ 図 1 e は、本発明の一実施例によるベース基板の作製工程を示す。まず、第 1 段階目として、図 1 a において、例えば Cu から成る金属ベース基板 1 20 1 の第 1 の主面上にエッチング用のレジストマスク 1 2 をフォトリソグラフィ法によって作製する。次いで、図 1 b において、塩化第二鉄から成る化学エッティング液によって金属ベース基板 1 1 を深さ 1 8 0 μm エッティング加工して凸状の接続ポストあるいは凸部 1 3 を作製する。次いで、図 1 c において、第 2 段階目のプレス加工にはいる。金型 1 4, 1 4' の間に、接続ポスト 1 3 が作製された金属ベース基板 1 1 を挿入し、その後、加重 1 6 を徐々に加えてプレスを開始する(丸印内はテーパを備えた金型凸部分 1 5 を示す)。次いで、図 1 d において、最後の加重を加えてプレスを完了する。凹部 1 7 の深さは、凸部 1 3 の長さより一般に小さい。

次いで、図 1 e において、金型から取りだしたベース基板 1 1 には、ベア一半

導体チップデバイスを搭載、接着する位置に深さ $20 \mu\text{m}$ 、15度～60度の範囲のテーパ角、ここでは45度の四状マーカあるいは凹部17が形成されて、2段階加工によるベース基板の作製が完了する。テーパは凹部17の底面に向ってその面積が小さくなるようなテーパである。

- 5 以上のように、2段階加工の特徴は、第1段階目のエッチング加工でベース基板面を大きく掘り下げてペア-半導体チップデバイスを埋設するために用いる凸部を設け、第2段階目のプレス加工ではテーパを備えた凸状金型でエッチングで粗れた金属表面を平坦化し低加重によってエッチングを受けた表面より平滑度の高い四状マーカあるいは凹部を設けることにある。ベース基板11の材料として
10 A1を用いてもよい。

図2a～図2dは、本発明の他の実施例による複数個の半導体ペアーチップデバイスを含む单一のモジュール構造体用ベース基板の作製工程を示す。

- 金属ベース基板21としては、Cuを用いた。基板上に形成するモジュールサイズは10mm角である。まず、第1段階目として、図2aにおいて、ベース基板21上に直径 $200 \mu\text{m}$ の略円柱状の接続ポストとモジュール構造体相互間を隔てるための井桁状の幅 $600 \mu\text{m}$ の囲い壁とを形成するエッチング用のレジストマスク22をフォトリソグラフィ法によって作製する。次いで、図2bにおいて、塩化第二鉄系の化学エッチング液によって金属ベース基板21を深さ約 $180 \mu\text{m}$ エッチングして接続ポストあるいは凸部23とモジュール構造体相互間を隔てる囲い壁24を作製する。囲い壁24はベース基板に関して最も外側に配置された導電性ブロックであり、構造体を電磁シールドし機械的に補強する作用をする。

- 次いで、図2cにおいて、第2段階目のプレス加工にはいる。予めベース基板21に形成してあるパイロットマーカと金型25のマーカで位置合わせを行った後、金型25、25'との間の金属ベース基板21に対して加重26を徐々に加えてプレスを開始する（丸印内はテーパを備えた金型凸部分27を示す）。この際、接続ポスト23、囲い壁24に対して金型は大きめに作製しておき、プレス時に前記接続ポスト23等の形状が変形しないように設計しておく必要がある。
図2dにおいて、参照符号28はプレス加工後のベース基板21のエッチング面

上に形成されたベアー半導体チップデバイス搭載用の凹状マーカあるいは凸部である。この2段階加工の工程を経て、接続ポスト23、モジュール構造体相互間を隔てた井桁状の囲い壁24がエッチング加工によって、また、ベアー半導体チップデバイス搭載用の凹状マーカ28がプレス加工によって、それぞれベース基板内に形成される。

図3a、図3bは、本発明の他の実施例によるベース基板に設けたパイロットマーカとモジュール間を井桁状に隔てた囲い壁のレイアウト図である。

図3aは、複数個のモジュール構造体を製作するためのベース基板として直径75mmΦ、厚み700μm、モジュール構造体サイズ10mm角のCuを用いた際の平面図である。パイロットマーカ31として基板周辺の4箇所に直径3mmΦの貫通孔が設けられており、プレス前に金型マーカとの位置合わせを行う。また、各モジュール構造体相互間には井桁状の囲い壁32が設けられており、これはベアーチップデバイス搭載後の絶縁膜を用いた埋め込み工程におけるベース基板の反り防止および単位モジュール構造体として切り出したときのシールド用側壁として用いている。なお、参照符号33は各モジュール構造体に形成されたポストあるいは凸部を示す。

また、図3bは、図3aにおける線III B - III Bに沿う断面図を示している。プレス加工により形成されたベアーチップデバイス搭載部のマーカ34には、その側面に45度のテーパが設けられている。

図4a～4dは、本発明の他の実施例によるマルチチップモジュール構造体の作製工程である。

まず、図4aにおいて、予めエッチングとプレスによりベース基板の第1の主面上に作製された接続ポスト（凸部）42（この周囲を取り囲む溝部42'も形成される）、モジュール構造体相互間を隔てた囲い壁（凸部）43、電極44およびベアーチップデバイス搭載用マーカ（凹部）45が設けられたベース基板41上に、電極上に金属（例えばAuまたはAl等）のバンプ46を乗せた複数の半導体素子またはICチップを含むベアーチップデバイス47をAu-Sn共晶半田により接着し、搭載した。マーカ45は上に述べた実施例と同様プレス加工により形成され、テーパをもっている。凸部42、43はエッチングにより、また

マーカ 4 5 および溝部はプレス加工により形成される。次いで、図 4 bにおいて、ベース基板 4 1 上の凹部および凸部やベアーチップデバイス 4 7 を第 1 の絶縁膜であるエポキシ樹脂 4 8 を用いた埋め込みを行った。次いで、図 4 cにおいて、熱硬化後のエポキシ樹脂 4 8 を研削または研磨によって表面を平坦化し、接続ボスト 4 2、囲い壁 4 3 およびベアーチップデバイス 4 7 上の金属バンプ 4 6 を露出させた。次いで、図 4 dにおいて、平坦化した絶縁膜 4 8 上に、薄膜受動部品と多層配線を形成するための第 2 の絶縁膜 4 9、第 3 の絶縁膜 5 0、金属層にて形成した第 1 配線パターン 5 1、第 1 配線パターン上に形成したコンデンサ 5 2、その上に金属層にて形成した第 2 配線パターン 5 3 および第 2、第 3 の絶縁膜 4 10 9、5 0 を貫通する導電性のスルーホール 5 4 を、順次積層して形成した。この後、マルチチップモジュール構造体の裏面より研削またはエッティングにより囲い壁 4 3 および電極 4 4 をベース基板 4 1 から分離して導電プロックが形成されるように絶縁膜 4 8 が露出するまで削った。

さらに、モジュール構造体を隔てた囲い壁 4 3 の真ん中で切断し、単位マルチチップモジュール構造体とした。

導電ボスト 4 2 は、溝部 4 2' および接続ボスト 4 2 とベアーチップデバイス 4 7 間とに充填された埋込樹脂 4 8 によって保持され、ベース基板 4 1 から分離独立している。従って、基板裏面から直接電極が取り出せるため、マルチチップモジュール構造体をマザーボードへ直接半田付けすることができ、リードで電気的に接続した場合に比べ、実装面積が縮小される。

図 5 a、図 5 b に、本発明の他の実施例によるベース基板の作成方法を示す。本実施例では、導電ボスト及び囲い壁がエッティングで形成された基板をプレス加工する際に、上金型の凸部に対応して下金型に凹部が設けられた一組の金型を用いる。

図 5 a に示すように、導電ボスト 6 1 及び囲い壁 6 5 がエッティングで形成された基板 6 0 と上金型 7 0 a 及び下金型 7 0 b との位置合わせを行い、塑性変形の一つであるプレス加工により導電ボスト 6 1 周辺の樹脂埋込溝 6 2 及びチップ搭載用の凹状マーカー 6 3 を形成する。

本実施例においては、上金型 7 0 a の凸部に対応して下金型 7 0 b に凹部が形

成されているため、上金型 7 0 a の凸部で押しだされた基板は、下金型 7 0 b の凹部に逃げることができる。従って、平坦な下金型を用いた場合に比べ、プレス加工後の基板に反りなどの変形が生じにくい。

なお、プレス加工後の基板には、図 5 b に示すように基板裏面に凸部が形成されるが、導電ポストを露出させるために行う基板裏面の研削工程で除去される。

このとき、導電ポスト 6 1 の周辺の溝部の一部が囲い壁 6 5 を独立した導電プロックとする役目を果す。

エッティングとプレスを併用した 2 段階加工を用いた上記実施例によれば、ベース基板の所定部分に所定の深さの凹部および凸部が再現性よく作製できることが可能となる。また、エッティングとプレス一括形成技術により、プロセスの簡素化とプロセス時間の短縮化が可能となる。

また、エッティング時に作られた囲い壁が絶縁膜による埋め込みの際のベース基板の反りを抑制し、プロセスの安定化を実現できる。

また、プレス加工によりエッティングで粗れた金属表面を平坦化し、ペアーチップ搭載時の接着条件のマージン拡大が実現できる。即ち、チップと基板の界面での気泡無発生と良好な接着性が実現する。また、接着性が向上するため、チップの放熱性もよくなる。

さらに、電極をモジュール裏面から取り出すリードレス構造が実現可能となる。

図 6 は本発明の他の実施例によるマルチチップモジュール構造体の断面図である。図 6 では、導電性の、例えば金属や半導体から成り、部分 7 1 - 1, 7 1 - 2, 7 1 - 3, 7 1 - 4 を含むベース基板 7 1 と、その上にペアーチップデバイス搭載用のテーパ付き凹み 2 を設け、電極上に金属（例えば Au または Al 等）のバンプ（接続導体）4 を持つ複数の半導体素子または IC チップを含むペアーチップデバイス 3 とを搭載し、前記ペアーチップデバイス 7 3 およびベース基板のポスト部 7 1 - 3 を埋め込むように覆った例えば樹脂の第 1 絶縁膜 7 5 と、その上に多層配線を行うための第 2 の絶縁膜 7 6 及び第 3 の絶縁膜 7 7 と金属層にて形成した第 1 配線パターン 7 8 と第 1 配線パターン上に形成したコンデンサ 7 9 とその上に金属層にて形成した第 2 配線パターン 8 0 と第 2, 第 3 の絶縁膜を貫通する導電性のスルーホール 8 1 - 1, 8 1 - 2, 8 1 - 3 とさらにベース基

板 1 の全体を覆う金属製のキャップ 8 2 で構成している。このマルチチップモジュール構造体では、信号の入出力端子や電源供給端子となる電極（導電性プロック）はベース基板の裏面において実質的に並置されて外部との電気的接続が可能であり、ベース基板 1 のポスト部 7 1 - 3 により金属層にて形成し配線パターン 5 8 0 に接続される。キャップは樹脂で作製してもよく、その場合は、構造体の機械的補強の役目をする。キャップはまた金属メッキされた樹脂材を用いてもよい。このときキャップは、金属で作製した場合と同様構造体のシールドと機械的補強の役目をする。

また、図 7 は図 6 の構造体をその裏面から見た図である。図 7 においてベース 10 基板 7 1 の基準電位となる部分 7 1 - 1 と電極となる部分 7 1 - 2 とは第 1 の絶縁膜 7 5 により電気的に分離されている。また、電磁シールド用として側面に導電性の壁 7 1 - 4 が設けられている。

図 8 a から図 8 g は本発明の他の実施例によるマルチチップモジュール構造体の製造工程を示す。図 8 a はベース基板 7 1 の裏面をエッティング又は研削する前 15 の状態での断面を示す。ベース基板の第 1 の主面に平坦部 7 1 - 1、電極部 7 1 - 2、ポスト部（凸部）7 1 - 3、シールド壁（凸部）7 1 - 4 と、その上にペアーチップデバイス搭載用のテープ付き凹み 7 2 をエッティングおよび機械加工により設けた図である。このエッティングおよび機械加工は、上に述べた実施例において用いられたエッティングおよびプレス加工を用いてもよい。但し、ベース基板 20 に半導体（例えば S i）を用いた場合はプレス加工以外の、例えばミリングや研削等の機械加工を用いる。

図 8 b は図 8 a で示したベース基板上に、電極上に金属性（例えば Au または A 1 等）のバンプ 4 を持つ複数の半導体素子または IC チップを含むペアーチップデバイス 3 を搭載した図である。図 8 c は図 8 b で示したベース基板の凹部、25 凸部やペアーチップデバイスを絶縁性の樹脂 7 5 で埋め込んだ図である。図 8 d は図 8 c で示したベース基板の凹部、凸部やペアーチップデバイスを絶縁性の樹脂 7 5 で埋め込んだ後樹脂 7 5 を研削又は研磨により表面を平坦化した図である。図 8 e は平坦化した上に多層配線を行うための第 2 の絶縁膜 7 6 及び第 3 の絶縁膜 7 7 と金属層にて形成した第 1 配線パターン 7 8 と第 1 配線パターン上に形成

したコンデンサ 7 9 とその上に金属層にて形成した第 2 配線パターン 8 0 と第 2, 第 3 の絶縁膜を貫通する導電性のスルーホール 8 1 を形成した図である。

図 8 f は図 8 e に示したマルチチップモジュール構造体をその裏面（ベース基板 7 1 の第 2 の主面）よりエッティング又は研削により線Ⅷ—Ⅷに沿う断面まで削った場合の裏面を示す図である。信号の入出力端及び電源供給用端子（導電性ブロック）7 1—2 が絶縁樹脂 7 5 でアース（共通電位）導体となるベース電極 7 1—1 と分離されている。図 8 g は図 8 e に示したマルチチップモジュール構造体を裏面よりエッティング又は研削により線Ⅷ—Ⅷに沿う断面まで削った後シールド壁（導電性ブロック）7 1—4 を形成する位置で切断し単位マルチチップモジ 10 ュールとした場合を示す図である。

図 9 は他の実施例を示す図であり、ベース基板として平坦部 7 1—1, 電極部 7 1—2, ポスト部 7 1—3 と、その上にチップ搭載用の凹み 7 2 を一体にして上記実施例と同様にしてエッティングおよび機械加工により設けた図である。

図 10 は図 9 に示したマルチチップモジュール構造体を裏面よりエッティング又 15 は研削により線IX—IXに沿う断面まで削った場合の裏面を示す図である。信号の入出力端子及び電源供給用端子 7 1—2 が絶縁樹脂 7 5 でアース（共通電位）導体となるベース電極 7 1—1 と分離されている。また、単位モジュールサイズに切り出した時に単位モジュールの側面となる箇所に、予め深さが前記エッティング又は研磨により薄層化するときの削りしろより深くした凹み部 8 3 を設けている。

20 図 11 は本発明の他の実施例によるマルチチップモジュール構造体の断面であり、ベース基板 7 1 のペアチップデバイスを搭載した面と反対側の面の単位モジュールサイズに切り出した時に単位モジュール構造体の側面となる箇所にあるいは基板の縁部に、予め深さが前記エッティング又は研磨により薄層化するときの削りしろより深くしたキャップ固定用凹み部 8 3 を設けておき、前記エッティング又 25 は研削により所定のレベルまで薄層化し、単位モジュールサイズに切り出した後前記凹み 8 3 の部分にはめ込むように逆の凹みを持った金属製のキャップ 8 2 を設けた図である。金属キャップ 8 2 は構造体のシールドおよび機械的補強の作用をするため、シールド壁 7 1—4 は設ける必要がない。図 12 は図 11 に示したマルチチップモジュール構造体の裏面を示す。なお、図 11 は図 12 における線

IX-IXに沿った断面図である。

図13は本発明の一実施例におけるマルチチップモジュール構造体に含まれる回路の一例を示す。半導体素子として2個のFETを用いた2段の高周波増幅器である。図14は図13で示した高周波増幅器のパターン図であり、信号の入出力端子Pin, Poutとゲートバイアス端子Vg, ドレインバイアス端子Vdはビヤホールと導電性ポストを通り裏面の電極端子に接続されている。この実施例では、FET1およびFET2はそれぞれ個別のペアーチップデバイスに組み込まれる。その他の回路素子および接続導体は多層配線として実現される。

- 上記実施例によれば、ベース基板に電極上に金属属性のバンプを持つ複数のペアーチップデバイスを搭載し、これらを樹脂状の第1絶縁膜で埋め込むように覆い、前記バンプと前記絶縁膜とを所定の同じ高さに平坦化加工し、その上多層配線パターンを形成するマルチチップモジュール構造体とし、ベース基板の片面にペアーチップデバイスを搭載するための凹部及びベース基板の一部がポスト状に飛び出た凸部を複数個設け、その幾つかのポストの周間にポストの根本が島状に浮き出る様な溝を予め一括して設けておくことによりマルチチップモジュール構造体の製作が容易になると共に、前記ベース基板の裏側に信号の入出力端子や電源電圧を供給するための電極を設けることが可能となり、もってマルチチップモジュール構造体をマザーボード等に組み込むときのリード線部を極力短く出来高周波領域での特性を大幅に改善出来る。
- また、マルチチップモジュールを単位モジュールサイズに切り出した時に単位モジュールの側面となる箇所にシールド用の壁を形成可能とし、もって外部からのダメージに対して機械的な保護がなされると共に、高周波領域で動作させる様な場合、電磁シールド効果が強くなり、他からの妨害を受け難くすることが出来る。

25 産業上の利用可能性

以上述べたように、半導体ペアーチップデバイスを複数個搭載したマルチチップモジュール構造体は、導電性ベース基板およびその基板に一体的に形成された導電性凸部およびデバイス位置決め用凹部の採用により、放熱性が改良され、高周波特性のすぐれた、外部からの妨害の影響を受け難い構造をもっている。また、

導電性凸部の形成に化学エッティングを、デバイス位置決め用凹部の形成に機械加工を、それぞれ用いることにより導電性凸部およびデバイス位置決め用凹部の再現性が向上する。従って、本発明は、電子装置の小型化と高性能化に有用である。

請 求 の 範 囲

1. 複数個の半導体ベアチップデバイスを搭載するためのベース基板であって、前記基板は金属でき、第1および第2の主面を備え、前記第1の主面には少なくとも1つの凸部と、それぞれ半導体ベアチップデバイスを搭載すべき位置を定めるための少なくとも2つの凹部とが形成され、前記凹部の深さは前記凸部の長さより小さく、前記凹部は前記金属基板の第1の主面より高い平滑度をもっている、ベース基板。
2. 請求項1において、前記金属は、銅またはアルミニウムである、ベース基板。
3. 請求項1において、前記凹部は、凹部の底面に向かってその面積が小さくなるようなテーパをもっている、ベース基板。
4. 請求項3において、前記凹部のテーパの角度は、実質的に15度～60度である、ベース基板。
5. 第1および第2の主面を備え、前記第1の主面にはそれぞれ半導体ベアチップデバイスを搭載すべき位置を定めるための少なくとも2つの凹部とが形成された、導電性ベース基板と、前記第1の主面の凹部に搭載された少なくとも複数個の半導体ベアチップデバイスと、
- 20 前記ベース基板から絶縁されて前記ベース基板の第2の主面上において実質的に並置され前記ベース基板の第1の主面の側および第2の主面の側において外部と電気的接続が可能な少なくとも1つの導電性プロックと、前記導電性プロックを前記ベース基板および半導体ベアチップデバイスから分離するようそれらの間の空間に充填された絶縁物と、
- 25 前記絶縁の上方に設けられた電気接続導体と有する、マルチチップモジュール構造体。
6. 請求項5において、前記導電性プロックは複数個設けられ、前記ベース基板に関して最も外側に配置された導電性プロックが構造体をシールドするために用いることができる、マルチチップモジュール構造体。

7. 請求項 5において、さらに前記ベース基板、導電性ブロック、絶縁物および電気接続導体を覆うキャップを有する、マルチチップモジュール構造体。
8. 請求項 7において、前記キャップは樹脂でき、構造体を機械的に補強する作用をする、マルチチップモジュール構造体。
- 5 9. 請求項 7において、前記キャップは金属でなり前記最も外側に配置された導電性ブロックと共にして前記構造体をシールドするとともに、機械的に補強する作用をする、マルチチップモジュール構造体。
- 10 10. 請求項 7において、前記キャップは金属めっきされた樹脂でき、前記最も外側に配置された導電性ブロックと共にして前記構造体をシールドするとともに、機械的に補強する作用をする、マルチチップモジュール構造体。
- 11 11. 請求項 5において、前記導電性ベース基板および導電性ブロックは、金属あるいは半導体材料でできている、マルチチップモジュール構造体。
- 12 12. 請求項 5において、前記四部は、凹部の底面に向かって面積が小さくなるようなテーパをもっている、マルチチップモジュール構造体。
- 15 13. 請求項 1 2において、前記凹部のテーパの角度は、実質的に 1 5 度～ 6 0 度である、マルチチップモジュール構造体。
- 14 14. 少なくとも 1 つの凸部を金属基板の第 1 の主面上に形成するよう、第 1 よりび第 2 の主面をもつ金属基板を部分的に化学エッチングするステップと、前記金属基板の第 1 の主面の、前記凸部が形成されていない所定の部分に、それぞれ半導体ペアチップデバイスを搭載すべき位置を定めるための少なくとも 2 つの凹部が少なくとも形成されるよう、前記金属基板の第 1 の主面を機械加工するステップと、
20 を有し、前記機械加工ステップにより形成される前記凹部の深さは、前記化学エッチングステップにより形成される前記凸部の長さより小さく、前記凹部は前記エッチングされた金属基板の主面より高い平滑度をもっている、
25 複数個の半導体ペアチップデバイスを搭載するための構造体を作製する方法。
- 15 15. 請求項 1 4において、前記金属は銅またはアルミニウムである、方法。
- 16 16. 請求項 1 4において、前記機械加工はプレス加工である、方法。
- 17 17. 請求項 1 6において、前記プレス加工は、前記凹部の壁面に対して、凹

部の底面に向かって面積が小さくなるようなテーパをつけることを含む、作製方法。

18. 請求項17において、前記凹部のテーパの角度は、実質的に15度～60度である、作製方法。
- 5 19. 請求項14において、前記化学エッチングステップによって前記基板の第1の主面には、複数個の凸部が形成され、前記機械加工ステップにより、前記金属基板の第1の主面の、前記凸部が形成されていない所定の部分に、前記凹部に加えてさらに、前記複数個の凸部の少なくとも1つに対し、その周囲を取り囲む溝部が形成される、作製方法。
- 10 20. 複数個の凸部を金属基板の第1の主面上に形成するよう、第1および第2の主面をもつ金属基板を部分的に化学エッチングするステップと、
前記金属基板の第1の主面の、前記凸部が形成されていない所定の部分に、
それぞれ半導体ペアチップデバイスを搭載すべき位置を定めるための、前記凸部の長さより小さい深さの、少なくとも2つの凹部、および
15 前記複数個の凸部の少なくとも1つに対し、その周囲を取り囲む溝部
が形成されるよう、前記金属基板の第1の主面を機械加工するステップと、
前記凹部のそれぞれに、表面に接続導体を備える半導体ペアチップデバイスを
搭載するステップと、
前記金属基板の第1の主面およびその上に搭載された半導体ペアチップデバイ
20 スを絶縁層で覆うステップと、
前記絶縁層の表面を、前記半導体ペアチップデバイスの接続導体が露出するよ
うにして実質的に平坦化するステップと、
前記平坦化された絶縁層の表面上に電気接続導体を形成するステップと、
前記基板の第2の主面を、前記溝部が露出して前記複数個の凸部の少なくとも
25 1つが前記基板から電気的に分離されるまで、研削するステップと
を有する、マルチチップモジュール構造体を作製する方法。
21. 請求項20において、前記金属は銅またはアルミニウムである、作製方
法。
22. 請求項20において、前記機械加工は、プレス加工であり、前記凹部は

前記エッチングされた金属基板の主面より高い平滑度をもっている、作製方法。

23. 請求項22において、前記プレス加工は、前記凹部の壁面に対して、凹部の底面に向かって面積が小さくなるようなテーパをつけることを含む、作製方法。

5 24. 請求項23において、前記凹部のテーパの角度は、実質的に15度～60度である、作製方法。

25. 請求項22において、前記少なくとも2つの凹部および前記凸部の周囲を取り囲む溝部の形成のための、前記金属基板の第1の主面をプレス加工は、上金型および下金型を含む一对の金型を用いて施され、前記下金型は前記溝部の数10および形状に対応した凹み部をもっている、作製方法。

26. 請求項22において、前記プレス加工により、前記金属基板の第1の主面上に前記少なくとも2つの凹部および前記溝部に加えて、基板の縁部にキャップ固定用凹部が形成され、前記研削ステップの後に、前記基板の第1の主面を覆うキャップを前記キャップ固定用凹部に係合させるステップを有する、作製方法。

15 27. 複数個の凸部を半導体基板の第1の主面上に形成するよう、第1および第2の主面をもつ半導体基板を部分的に化学エッチングするステップと、

前記半導体基板の第1の主面の、前記凸部が形成されていない所定の部分に、それぞれ半導体ベアチップデバイスを搭載すべき位置を定めるための、前記凸部の長さより小さい深さの、少なくとも2つの凹部、および

20 前記複数個の凸部の少なくとも1つに対し、その周囲を取り囲む溝部が形成されるよう、前記半導体基板の第1の主面を機械加工するステップと、前記凹部のそれぞれに、表面に接続パッドを備える半導体ベアチップデバイスを搭載するステップと、

前記半導体基板の第1の主面およびその上に搭載された半導体ベアチップデバイスを絶縁層で覆うステップと、

前記絶縁層の表面を、前記半導体ベアチップデバイスの接続導体が露出するようにして実質的に平坦化するステップと、

前記平坦化された絶縁層の表面上に電気接続導体を形成するステップと、

前記基板の第2の主面を、前記溝部が露出して前記複数個の凸部の少なくとも

1つが前記基板から電気的に分離されるまで、研削するステップと
を有する、マルチチップモジュール構造体を作製する方法。

- 2 8. 導電性ベース基板と、その基板上に搭載する金属性のバンプを持つ複数
個のペアーチップデバイスと、前記ペアーチップデバイスを埋め込むように覆っ
5 た第1の絶縁膜とを有し、前記絶縁膜の表面と前記ペアーチップデバイスのバン
プとは実質的に同じレベルにあり、前記絶縁膜の上方には配線パターンが形成さ
れ、前記バンプと前記パターンとが電気的に接続され、前記配線パターンと前記
ベース基板とが導電性のポストにより接続され、前記導電性ポストは前記ベース
基板と第2の絶縁膜により分離されて島状の電極を構成し、前記ペアーチップデ
10 バイス搭載用の凹部及び導電性ポストが前記ベース基板と一体形成されている、
マルチチップモジュール構造体。

- 2 9. 請求項2 8において、ベース基板の一部に前記マルチチップモジュール
構造体を囲むように凸部を設け、その上に金属性の凹状キャップを設けたマルチ
チップモジュール構造体。
15 3 0. 請求項2 8において、マルチチップ構造体の側面の一部に凹みを設け、
前記凹みをストッパーとして働く様に、前記マルチチップモジュール構造体を覆
う金属製のキャップを設けたマルチチップモジュール構造体。

- 3 1. 第1および第2の主面をもつ導電性ベース基板の第1の主面上にペアチ
ップデバイスを搭載するための凹部及びベース基板の一部がポスト状に飛び出た
20 ブロックを複数個設けるステップと、前記ブロックの少なくとも1つの根本に溝
を設けるステップと、前記チップ搭載用の凹部に電極を備えるペアーチップデバ
イスを搭載するステップと、前記ペアーチップデバイスの各電極上に少なくとも
前記ペアーチップデバイスの高さむら以上の高さの金属性のバンプを設けるステ
ップと、前記ペアーチップデバイスおよび前記バンプおよび前記ブロックを埋め
25 込むように第1の絶縁膜で覆うステップと、前記バンプおよび前記ブロックおよ
び前記第1の絶縁膜を所定の同じ高さに平坦化するステップと、前記第1の絶縁
膜の上方に配線パターンを形成するステップと、前記ベース基板をその第2の主
面より薄層化することにより電極として前記第1の絶縁膜により分離された島状
の導体部分を形成するステップとを有する、マルチチップモジュール構造体の作

製方法。

3 2. 請求項 3 1において、予めベース基板の一部に前記マルチチップモジュール構造体の側面全体を囲むように凸部を設け、その位置を切断するような大きさの単位モジュールサイズに切り出し、その上に金属性の凹状キャップを設ける、

5 マルチチップモジュールの作製方法。

3 3. 請求項 3 1において、前記ペアチップデバイスを搭載したベース基板の第 1 の正面と反対側の第 2 の正面の、単位モジュールサイズに切り出した場合にモジュールの側面となる位置に、予め深さが前記薄層化するときの削りしろより深く、かつベース基板の厚さより浅い複数の凹み部を設けておき、前記薄層化 10 た後、単位モジュールサイズに切り出し、ベース基板の側面に出来た凹みをストッパーとして働く様に、前記マルチチップモジュール構造体を覆う金属製のキャップを設ける、マルチチップモジュール構造体の作製方法。

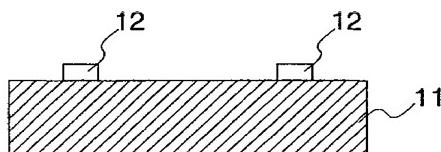
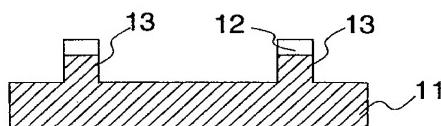
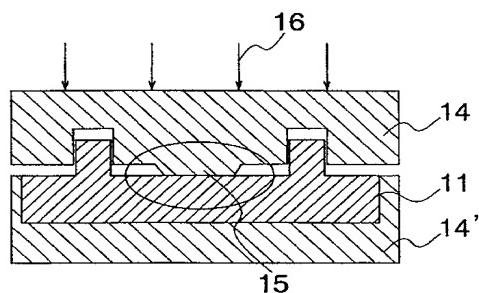
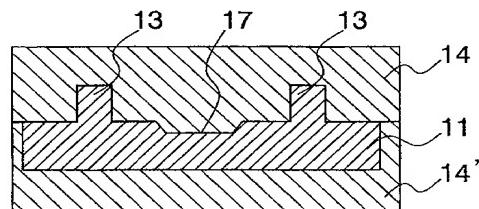
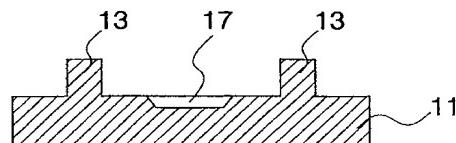
3 4. 導電性ベース基板の所定の部分を所定の深さまでエッチングにより凹ませる第 1 のステップと、さらに、型を用いたプレス加工により上記第 1 のステップで形成された凹部の所定の部分を所定の深さまで凹ませる第 2 のステップとを有する、複数個のペアチップデバイスを搭載するためのベース基板の作製方法。 15

3 5. 請求項 3 4において、少なくとも前記第 2 のステップ前に、前記型の位置合わせのための 2 箇以上の貫通孔から成るパイロットマーカを形成するステップをさらに有する、作製方法。

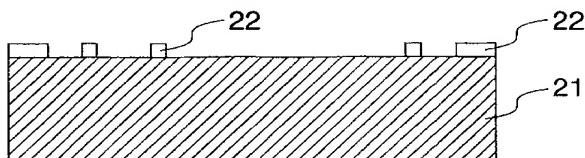
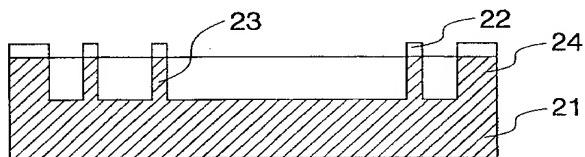
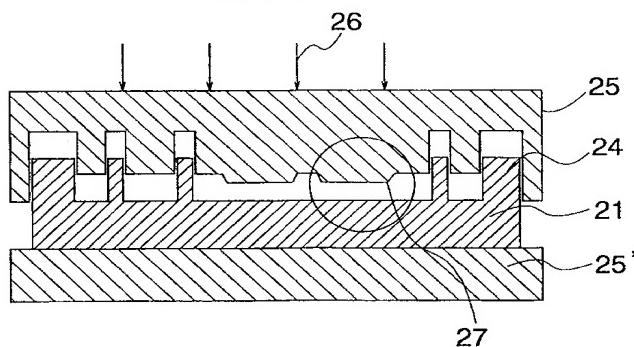
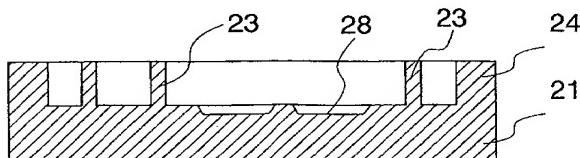
20 3 6. 請求項 3 4において、前記第 1 のステップにより、複数のモジュール間を井桁で隔てた凸状の囲い壁を形成する、作製方法。

3 7. 請求項 3 4において、前記第 2 のステップにより形成される凹部が前記ペアチップデバイスの搭載位置であり、上記凹部の側面が 15 乃至 60 度のテーパ角を有する、作製方法。

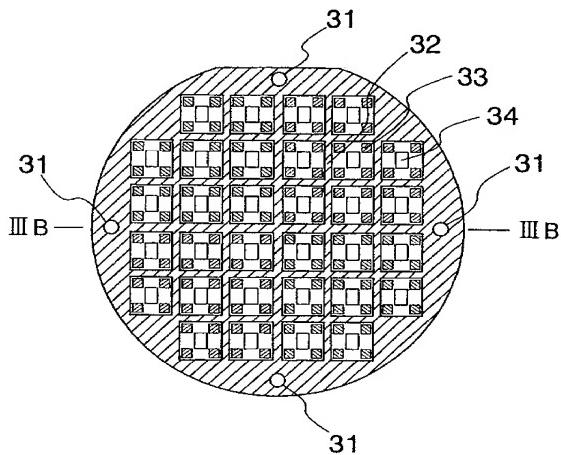
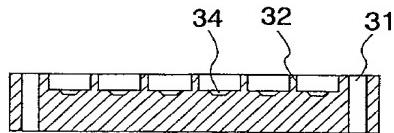
1 / 12

FIG. 1 a**FIG. 1 b****FIG. 1 c****FIG. 1 d****FIG. 1 e**

2/12

FIG. 2 a**FIG. 2 b****FIG. 2 c****FIG. 2 d**

3 / 12

FIG. 3 a**FIG. 3 b**

4/12
FIG. 4 a

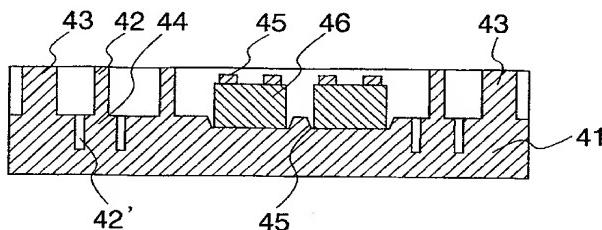


FIG. 4 b

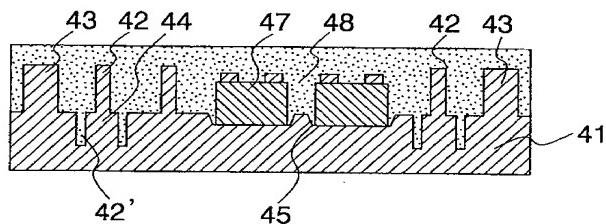


FIG. 4 c

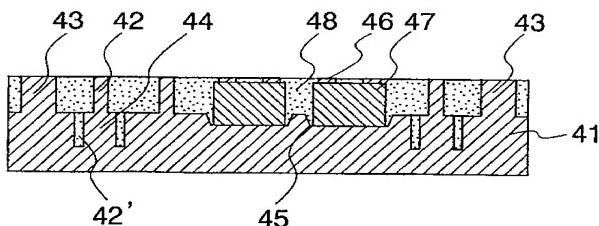
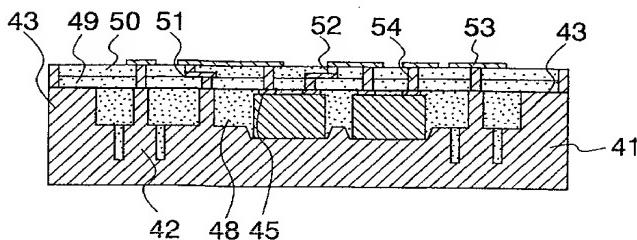
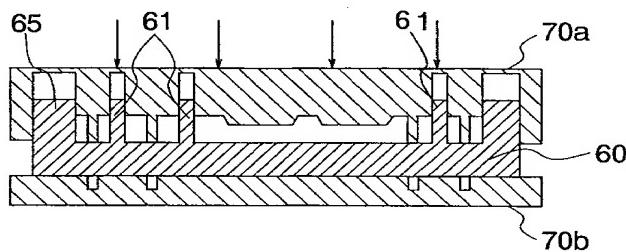
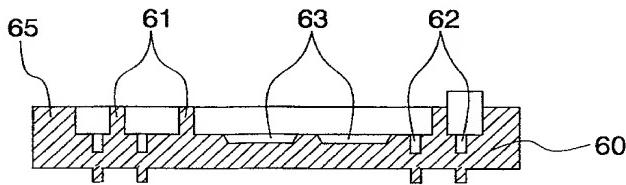


FIG. 4 d



5 / 12

FIG. 5 a**FIG. 5 b**

6 / 12

FIG. 6

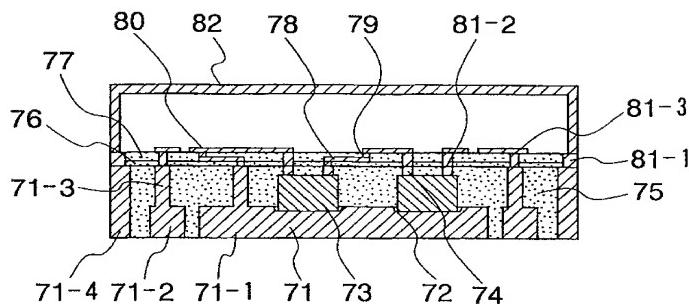
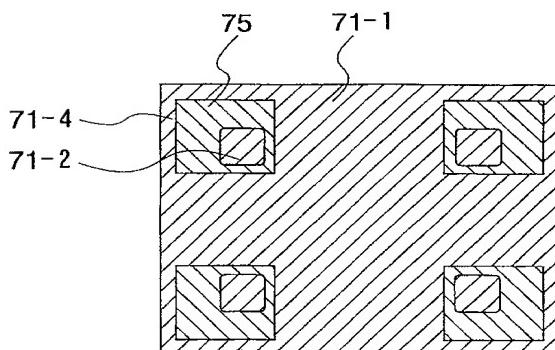
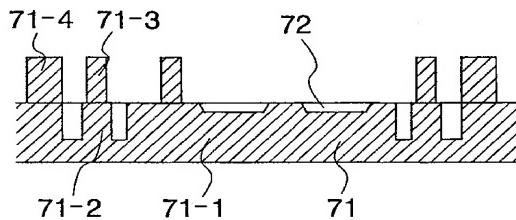
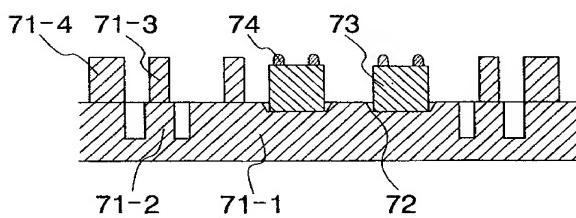
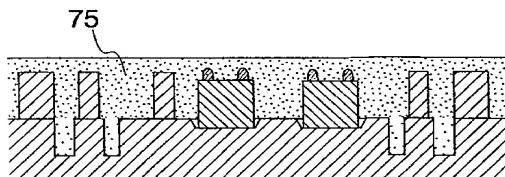


FIG. 7



7/12

FIG. 8 a**FIG. 8 b****FIG. 8 c**

8 / 12

FIG. 8 d

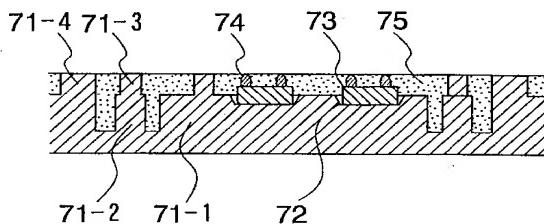
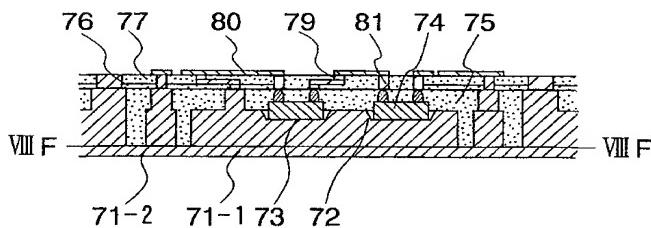


FIG. 8 e



9 / 12

FIG. 8 f

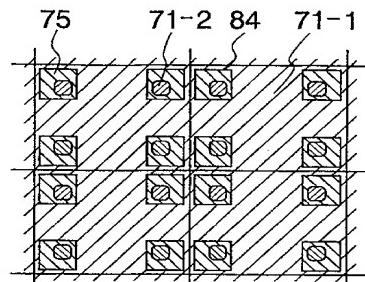


FIG. 8 g

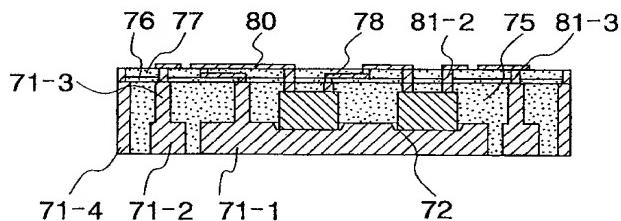
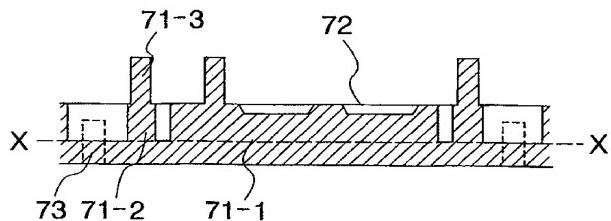


FIG. 9



10/12

FIG. IO

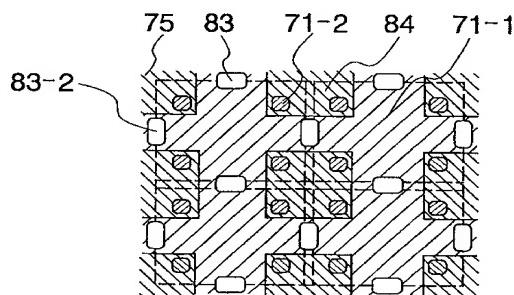
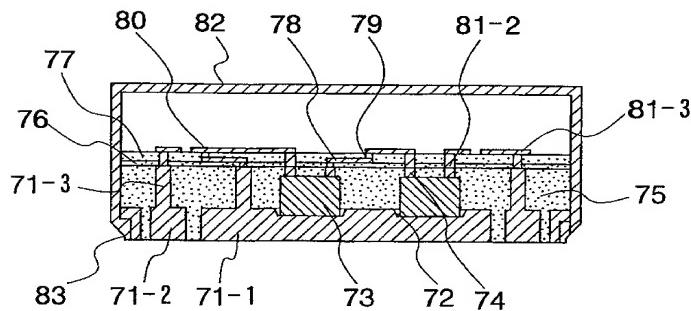


FIG. II



11 / 12

FIG. 12

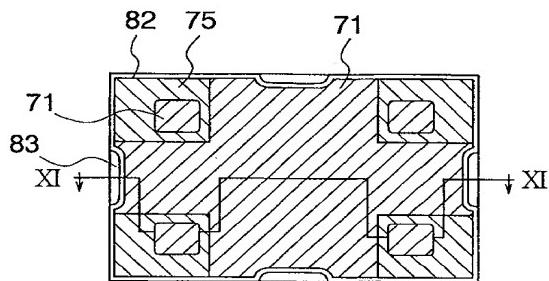
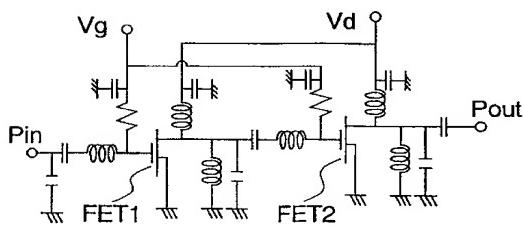
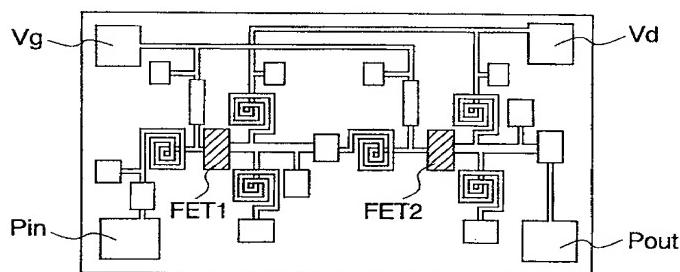


FIG. 13



12/12

FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/03668

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L25/00-25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 04-58539, A (Mitsubishi Electric Corp.), 25 February, 1992 (25. 02. 92) (Family: none)	1-37
A	JP, 51-77173, A (Toshiba Corp.), 3 July, 1976 (03. 07. 76) (Family: none)	1-37
A	JP, 07-326708, A (Toppan Printing Co., Ltd.), 12 December, 1995 (12. 12. 95) (Family: none)	1, 5
A	JP, 06-164088, A (Sanyo Electric Co., Ltd.), 10 June, 1994 (10. 06. 94) (Family: none)	16-18, 22-25 34-37

Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search 17 November, 1998 (17. 11. 98)	Date of mailing of the international search report 24 November, 1998 (24. 11. 98)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号 PCT/JP98/03668

A. 発明の属する分野の分類(国際特許分類(IPC))
Int. Cl. H01L25/04

B. 調査を行った分野
調査を行った最小限資料(国際特許分類(IPC))
Int. Cl. H01L25/00-25/18

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-1998年
日本国登録実用新案公報 1994-1998年
日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 04- 58539, A(三菱電機株式会社) 25. 2月. 1992(25. 02. 92), (ファミリーなし)	1-37
A	J P, 51- 77173, A(株式会社東芝) 3. 7月. 1976(03. 07. 76), (ファミリーなし)	1-37
A	J P, 07-326708, A(凸版印刷株式会社) 12. 12月. 1995(12. 12. 95), (ファミリーなし)	1, 5
A	J P, 06-164088, A(三洋電機株式会社) 10. 6月. 1994(10. 06. 94), (ファミリーなし)	16-18, 22-25 34-37

 C欄の続きにも文献が例挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたものの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17. 11. 98

国際調査報告の発送日

24.11.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

中澤 登

印

4 E 8727

電話番号 03-3581-1101 内線 3426